

MENU

SEARCH

INDEX

DETAIL

NEXT

1/2



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 06132306

(43)Date of publication of application: 13.05.1994

(51)Int.Cl.

H01L 21/336

H01L 29/784

(21)Application number: 04305890

(71)Applicant:

CASIO COMPUT CO LTD

(22)Date of filing: 21.10.1992

(72)Inventor:

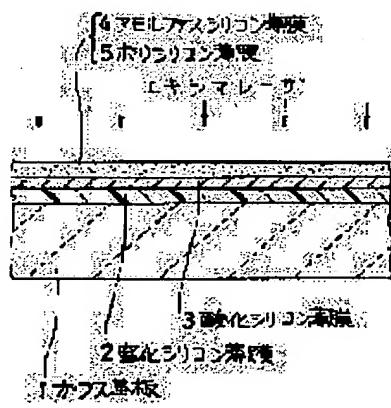
MOROSAWA KATSUHIKO
SHIMOMAKI SHINICHI

(54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enable the permeation of the impurities from a glass substrate to be satisfactorily avoided while an excellent quality polysilicon thin film to be formed.

CONSTITUTION: A silicon nitride thin film (lower side underneath layer) 2 is deposited on the surface while a silicon oxide thin film (upper side underneath layer) 3 is deposited on the layer 2 and then an amorphous silicon thin film 4 is deposited on the layer 3. Next, the whole surface is irradiated with excimer laser beams (a) to crystallize the amorphous silicon thin film 4 for the formation of a polysilicon thin film 5. In such a constitution, the lower side underneath layer is composed of the silicon nitride thin film 2 in the minute structure thereby enabling the permeation of the impurities from the glass substrate 1 to be satisfactorily avoided while the upper side underneath layer 3 is composed of the silicon oxide thin film 3 in relatively low thermal conductivity thereby enabling the excellent quality polysilicon thin film



5 in large particle diameter to be formed.

LEGAL STATUS

[Date of request for examination] 15.06.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998 Japanese Patent Office

MENU

SEARCH

INDEX

DETAIL

NEXT

(18)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-132306

(43)公開日 平成6年(1994)5月13日

(51)Int.Cl. [*]	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/336 29/784	9056-4M 9056-4M	H 01 L 29/78	3 1 1 Y 3 1 1 X	

審査請求 未請求 請求項の数 9(全 5 頁)

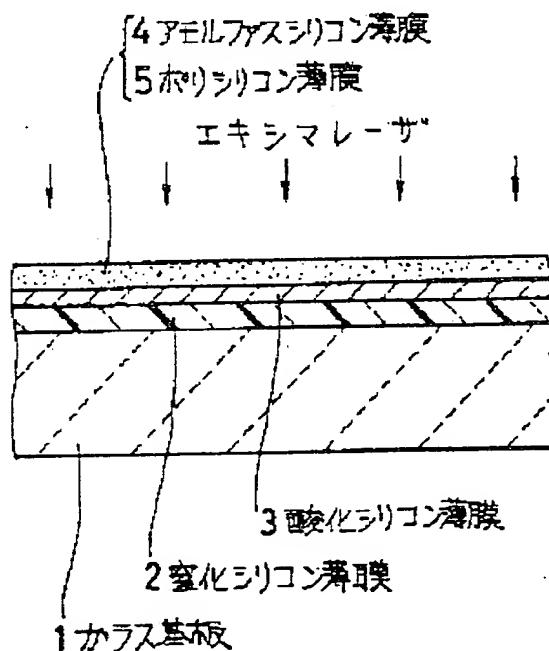
(21)出願番号	特願平4-305890	(71)出願人	000001443 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号
(22)出願日	平成4年(1992)10月21日	(72)発明者	西澤 克彦 東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内
		(72)発明者	下牧 伸一 東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内
		(74)代理人	弁理士 杉村 次郎

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 ガラス基板からの不純物の浸透を十分に防ぐとともに、粒径の大きな良質のポリシリコン薄膜を得る。

【構成】 ガラス基板1の上面に窒化シリコン薄膜(下側下地層)2を堆積し、その上面に酸化シリコン薄膜(上側下地層)3を堆積し、その上面にアモルファスシリコン薄膜4を堆積する。そして、エキシマレーザを照射し、アモルファスシリコン薄膜4を結晶化してポリシリコン薄膜5とする。この場合、下側下地層を緻密な構造の窒化シリコン薄膜2によって構成しているので、ガラス基板1からの不純物の浸透を十分に防ぐことができ、また上側下地層を熱伝導率の比較的低い酸化シリコン薄膜3によって構成しているので、粒径の大きな良質のポリシリコン薄膜5を得ることができる。



【特許請求の範囲】

【請求項1】 ガラス基板上にガラス中に含まれる不純物の浸透性の悪い下側下地層と熱伝導率の低い上側下地層とを堆積し、前記上側下地層上に堆積した半導体薄膜にレーザを照射して該半導体薄膜を結晶化することを特徴とする半導体装置の製造方法。

【請求項2】 前記下側下地層は塗化シリコン薄膜からなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記上側下地層は酸化シリコン薄膜からなることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 前記塗化シリコン薄膜の膜厚は500～2000Å程度であることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項5】 前記半導体薄膜を活性層とするPMOS FETを形成することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 前記塗化シリコン薄膜の膜厚は1000～4000Å程度であることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項7】 前記半導体薄膜を活性層とするNMOS FETを形成することを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 前記塗化シリコン薄膜の膜厚は1000～2000Å程度であることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項9】 前記半導体薄膜を活性層とするPMOS FETおよびNMOS FETを形成することを特徴とする請求項8記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は半導体装置の製造方法に関し、特に、ガラス基板上に下地層を堆積し、この下地層上に堆積した半導体薄膜を結晶化して半導体装置を製造する半導体装置の製造方法に関する。

【0002】

【従来の技術】例えばガラス基板上に堆積したアモルファスシリコン薄膜を結晶化して薄膜トランジスタを製造する場合、ガラス基板の上面に、ガラス基板からの不純物の浸透を防ぎかつガラス基板表面の傷を被るための下地層を堆積し、下地層の上面にアモルファスシリコン薄膜を堆積し、アモルファスシリコン薄膜にエキシマレーザを照射することにより、アモルファスシリコン薄膜を結晶化してポリシリコン薄膜とし、このポリシリコン薄膜を素子分離して薄膜トランジスタ形成領域を形成するようにしている。この場合、下地層としては、塗化シリコン薄膜または酸化シリコン薄膜が用いられている。

【0003】

【発明が解決しようとする課題】しかるに、下地層が塗

化シリコン薄膜の場合には、緻密な構造の薄膜であるので、ガラス基板からの不純物の浸透を十分に防ぐことができるが、熱伝導率が比較的高いので、エキシマレーザの照射により高温となって溶融したアモルファスシリコン薄膜から塗化シリコン薄膜に放出される単位時間当たりの熱量が比較的大きく、このためアモルファスシリコン薄膜の温度がレーザ照射後短時間で下がってしまう、この結果粒径の大きな良質のポリシリコン薄膜を得ることができず、ひいてはトランジスタ特性が劣化するという問題があった。一方、下地層が酸化シリコン薄膜の場合には、熱伝導率が比較的低いので、粒径の大きな良質のポリシリコン薄膜を得ることができるが、緻密な構造の薄膜でないので、ガラス基板からの不純物の浸透が生じ、このためトランジスタ特性が劣化するという問題があった。なお、酸化シリコン薄膜の膜厚を大きくすると、ガラス基板からの不純物の浸透を十分に防ぐことができるが、成膜に時間がかかるばかりでなく、クラックが発生してしまうという別の問題があった。この発明の目的は、ガラス基板からの不純物の浸透を十分に防ぐことができ、かつ粒径の大きな良質の半導体薄膜を得ることのできる半導体装置の製造方法を提供することにある。

【0004】

【課題を解決するための手段】この発明は、ガラス基板上にガラス中に含まれる不純物の浸透性の悪い下側下地層と熱伝導率の低い上側下地層とを堆積し、前記上側下地層上に堆積した半導体薄膜にレーザを照射して該半導体薄膜を結晶化するようにしたものである。

【0005】

【作用】この発明によれば、下側下地層をガラス中に含まれる不純物の浸透性の悪いもの例えば緻密な構造の塗化シリコン薄膜によって構成しているので、ガラス基板からの不純物の浸透を十分に防ぐことができ、また上側下地層を熱伝導率の低いもの例えば熱伝導率の比較的低い酸化シリコン薄膜によって構成しているので、粒径の大きな良質の半導体薄膜を得ることができる。

【0006】

【実施例】次に、この発明の一実施例を適用した薄膜トランジスタの製造方法について図面を参考しながら説明する。まず、図1に示すように、ガラス基板1の上面にプラズマCVD装置を用いて塗化シリコン薄膜(下側下地層)2を堆積する。次に、塗化シリコン薄膜2の上面にスピッタリング装置を用いて酸化シリコン薄膜(上側下地層)3を堆積する。次に、酸化シリコン薄膜3の上面にLPCVD装置を用いてアモルファスシリコン薄膜4を堆積する。次に、エキシマレーザを照射することにより、アモルファスシリコン薄膜4を結晶化してポリシリコン薄膜5とする。この場合、後でも説明するが、下側下地層を緻密な構造の塗化シリコン薄膜2によって構成しているので、ガラス基板1からの不純物の浸透を十

分に防ぐことができ、また上側下地層を熱伝導率の比較的低い酸化シリコン薄膜3によって構成しているので、粒径の大きな良質のポリシリコン薄膜5を得ることができる。

【0007】この後、周知の製造プロセスを経ると、図2に示すような薄膜トランジスタが完成する。すなわち、まず、素子分離により、不要な部分のポリシリコン薄膜5を除去する。次に、全表面に酸化シリコン等からなるゲート絶縁膜6を形成する。次に、ポリシリコン薄膜5の中央部（チャネル領域）に対応する部分のゲート絶縁膜6の上面にアルミニウム等からなるゲート電極7をパターン形成する。次に、ゲート電極7をマスクとして不純物を注入することにより、ゲート電極7の両側におけるポリシリコン薄膜5に高濃度不純物領域からなるソース・ドレイン領域を形成する。次に、ゲート電極7の周囲に酸化シリコン等からなる絶縁膜8を形成する。次に、ゲート絶縁膜6にコンタクトホール9を形成する。次に、コンタクトホール9を通してポリシリコン薄膜5のソース・ドレイン領域と接続されるアルミニウム等からなるソース・ドレイン電極10をゲート絶縁膜6の上面にパターン形成する。このようにして製造された薄膜トランジスタでは、注入不純物がボロンイオン等のアクセプタである場合にはポリシリコン薄膜5を活性層とするPMOSFETとなり、注入不純物がリンイオン等のドナーである場合にはポリシリコン薄膜5を活性層とするNMOSFETとなる。

【0008】ところで、図3は下地層が塗化シリコン薄膜単層および酸化シリコン薄膜単層である場合のポリシリコン薄膜の結晶化度の下地依存性を示したものである。この図において、□印は塗化シリコン薄膜単層の膜厚を2000Å程度とし、その上に形成されたポリシリコン薄膜の膜厚をそれぞれ250Å、500Å、1000Å程度とした場合の各ポリシリコン薄膜の結晶化度を示し、○印は酸化シリコン薄膜単層の膜厚を1000Å程度とし、その上に形成されたポリシリコン薄膜の膜厚をそれぞれ250Å、500Å、1000Å程度とした場合の各ポリシリコン薄膜の結晶化度を示す。この場合、レーザエネルギーはポリシリコン薄膜の各膜厚に対して最適な出力となるようにした。また、ポリシリコン薄膜の結晶化度はX線の反射強度で測定した。

【0009】図3から明らかなように、ポリシリコン薄膜の結晶化度（結晶の粒径）はその膜厚に関係なく、下地層が□印で示す塗化シリコン薄膜単層である場合よりも○印で示す酸化シリコン薄膜単層である場合の方が大きい。したがって、ポリシリコン薄膜の結晶化度を大きくするには、下地層が酸化シリコン薄膜である方が望ましい。そして、図1に示すように、酸化シリコン薄膜3とガラス基板1との間に塗化シリコン薄膜2を介在させても、酸化シリコン薄膜単層の場合とほぼ同じ効果を得ることができる。したがって、下側下地層を緻密な構造

の塗化シリコン薄膜2によって構成するとともに、上側下地層を熱伝導率の比較的低い酸化シリコン薄膜3によって構成すると、ガラス基板1からの不純物の浸透を十分に防ぐことができるとともに、粒径の大きな良質のポリシリコン薄膜5を得ることができる。

【0010】次に、図4（A）は図2に示す薄膜トランジスタがNMOSFETである場合のトランジスタ特性の下地膜厚依存性を示し、図4（B）はPMOSFETである場合のトランジスタ特性の下地膜厚依存性を示したものである。これらの図において、実線N1は塗化シリコン薄膜2の膜厚を500Å程度とし、その上に形成された酸化シリコン薄膜3の膜厚を1000Å程度とした場合のトランジスタ特性を示し、点線N2は塗化シリコン薄膜2の膜厚を1000Å程度とし、その上に形成された酸化シリコン薄膜3の膜厚と同じく1000Å程度とした場合のトランジスタ特性を示し、一点鎖線N3は塗化シリコン薄膜2の膜厚を2000Å程度とし、その上に形成された酸化シリコン薄膜3の膜厚と同じく1000Å程度とした場合のトランジスタ特性を示し、二点鎖線N4は塗化シリコン薄膜2の膜厚を4000Å程度とし、その上に形成された酸化シリコン薄膜3の膜厚と同じく1000Å程度とした場合のトランジスタ特性を示す。

【0011】図4（A）から明らかなように、NMOSFETの場合には、塗化シリコン薄膜2の膜厚が実線で示す500Å程度であるとリーク電流が大きくなり、それ以外の1000~4000Å程度であるとトランジスタ特性が良好であることが判る。したがって、NMOSFETを製造する場合には、塗化シリコン薄膜2の膜厚を1000~4000Å程度とする方が望ましい。一方、図4（B）から明らかなように、PMOSFETの場合には、塗化シリコン薄膜の膜厚が二点鎖線で示す4000Å程度であるとリーク電流が大きくなり、それ以外の500~2000Å程度であるとトランジスタ特性が良好であることが判る。したがって、PMOSFETを製造する場合には、塗化シリコン薄膜の膜厚を500~2000Å程度とする方が望ましい。なお、以上のことをから明らかなように、同一のガラス基板上にNMOSFETとPMOSFETとからなるCMOSFETを形成する場合には、塗化シリコン薄膜の膜厚を1000~2000Å程度とすると、両トランジスタの特性を共に良好とすることができる。

【0012】なお、この発明によれば、レーザを照射した後のガラス基板の反りを防止する効果がある。次にこの理由について説明する。図5（A）は下地層が塗化シリコン薄膜2と酸化シリコン薄膜3の2層構造である場合の応力の関係を示し、図5（B）は下地層が塗化シリコン薄膜2単層である従来の場合の応力の関係を示したものである。この場合、塗化シリコン薄膜2ではその熱膨張係数がガラス基板1の熱膨張係数よりも大きいので

レーザ照射時の温度から室温に戻るとき引張応力が生じ、酸化シリコン薄膜③およびポリシリコン薄膜⑤ではその各熱膨張係数が共にガラス基板①の熱膨張係数よりも小さいので圧縮応力が生じる。しかるに、図5(B)の場合には、膜厚および組成の違いから、ポリシリコン薄膜⑤に生じる圧縮応力よりも塗化シリコン薄膜②に生じる引張応力の方が大きく、このためガラス基板①が凸状に反ってしまう(下地層が酸化シリコン薄膜単層である場合には、ガラス基板が凹状に反ってしまう。)。

【0013】これを解決する方法としては、塗化シリコン薄膜②の膜厚を薄くするか、ポリシリコン薄膜⑤の膜厚を厚くすることが考えられるが、前者の場合ガラス基板①からの不純物の浸透が生じ、後者の場合にはポリシリコン薄膜⑤にクラックが生じ、いずれにしてもトランジスタ特性が劣化するという問題がある。これに対して、図5(A)の場合には、酸化シリコン薄膜③に引張応力が生じるので、ポリシリコン薄膜⑤に生じる引張応力と酸化シリコン薄膜③に生じる引張応力との和が塗化シリコン薄膜②に生じる圧縮応力とほぼ釣り合う状態となり、したがってガラス基板①がいずれの方向にも反らないようにすることができる。

【0014】

【発明の効果】以上説明したように、この発明によれば、下側下地層をガラス中に含まれる不純物の浸透性の悪いもの例えば塗化シリコン薄膜によって構成しているとともに上側下地層を熱伝導率の低いもの例えば酸化シリコン薄膜によって構成しているので、ガラス基板から

の不純物の浸透を十分に防ぐことができるとともに、粒径の大きな良質の半導体薄膜を得ることができる。また、レーザを照射した後のガラス基板の反りを防止することができる。

【図面の簡単な説明】

【図1】この発明の一実施例を適用した薄膜トランジスタの製造に際し、アモルファスシリコン薄膜を結晶化してポリシリコン薄膜とした状態の断面図。

【図2】同薄膜トランジスタの製造に際し、完成した状態の断面図。

【図3】下地層が酸化シリコン薄膜単層および塗化シリコン薄膜単層である場合のポリシリコン薄膜の結晶化度の下地依存性を示す図。

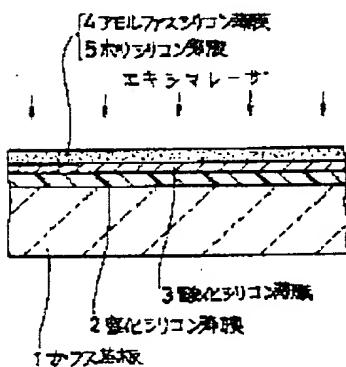
【図4】(A)は図2に示す薄膜トランジスタがNMOSFETである場合のトランジスタ特性の下地膜厚依存性を示す図、(B)はPMOSFETである場合のトランジスタ特性の下地膜厚依存性を示す図。

【図5】(A)は下地層が塗化シリコン薄膜と酸化シリコン薄膜の2層構造である場合の応力の関係を示す図、(B)は下地層が塗化シリコン薄膜単層である場合の応力の関係を示す図。

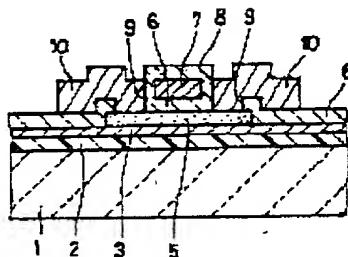
【符号の説明】

- 1 ガラス基板
- 2 塗化シリコン薄膜(下側下地層)
- 3 酸化シリコン薄膜(上側下地層)
- 4 アモルファスシリコン薄膜
- 5 ポリシリコン薄膜

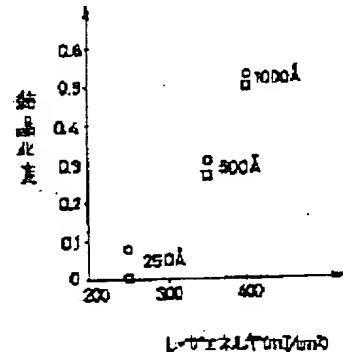
【図1】



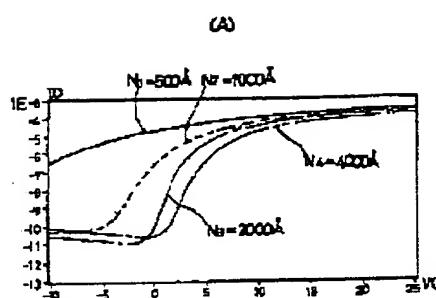
【図2】



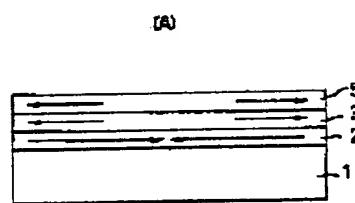
【図3】



【図4】



【図5】



(B)

